

**Berichte zum
Datenerfassungssystem
für physikalische Experimente**

**CAMAC Controller
mit FERA BUS
und
PCI Interface**

W. Erven, H. Loevenich, K. Zwoll

Forschungszentrum Jülich
Zentrallabor für Elektronik

Abteilung Experimentsteuerung und Kommunikation

IB-KFA-ZEL 501096
(Version 3)

Letzte Bearbeitung: 28. Oktober 1997

Inhaltsverzeichnis

1 ÜBERSICHT	1
2 DAS PCI INTERFACE	2
2.1 PCI Bus Mapping	2
2.2 Region 0	3
2.3 Region 1	4
2.4 Region 2	4
2.5 Region 3	4
3 DER CAMAC BUS	5
3.1 Control Register	5
3.2 Control/Status Register	6
3.3 SN Register	7
3.4 LAM Mask Register	7
3.4.1 CAMAC Status Word	8
3.5 Region 2	9
3.5.1 Der einfache CAMAC Transfer	9
3.6 Region 3	11
3.7 CAMAC Demand	13
3.8 Power of the CAMAC Crate	13
4 DER FERA BUS	14
4.1 Inhibit	15
4.2 Der <i>Readout Request</i>	15
4.3 Timeout	15
4.4 FERA - Clear	16
4.5 FERA - Gate	16
4.6 Datenübertragung	17
4.6.1 Datenformat	18
4.7 FERA Timing	19
4.8 FERA Device Register	20
4.8.1 Control Register	21
4.8.2 Status/Control Register	22
4.8.3 Request Delay Register	23
4.8.4 Readout Timeout Register	23
4.8.5 Gate Reject Counter Register	24
4.8.6 Timeout Counter Register	24
4.8.7 Maintenance Counter Register	25
4.9 FERA Connectors	26
4.9.1 FERA Command Bus	26
4.9.2 FERA Auxiliary Connector	27
4.9.3 FERA Data Bus	27
5 TECHNISCHE EINZELHEITEN	28

1 Übersicht

Der PCI CAMAC/FERA Controller wird über ein 60 poliges Flachbandkabel mit einer Länge bis zu 2m an einem Rechner mit PCI Bus angeschlossen. Die Funktionen des Controllers umfassen den CAMAC Einzeltransfer, den DMA CAMAC Blocktransfer mit Wordcount oder Q-Stop Mode, den DMA FERA Blocktransfer und die LAM Interrupt Generierung mit LAM Mask Register. Der neue FAST CAMAC Mode LEVEL I wird beim Blocktransfer unterstützt.

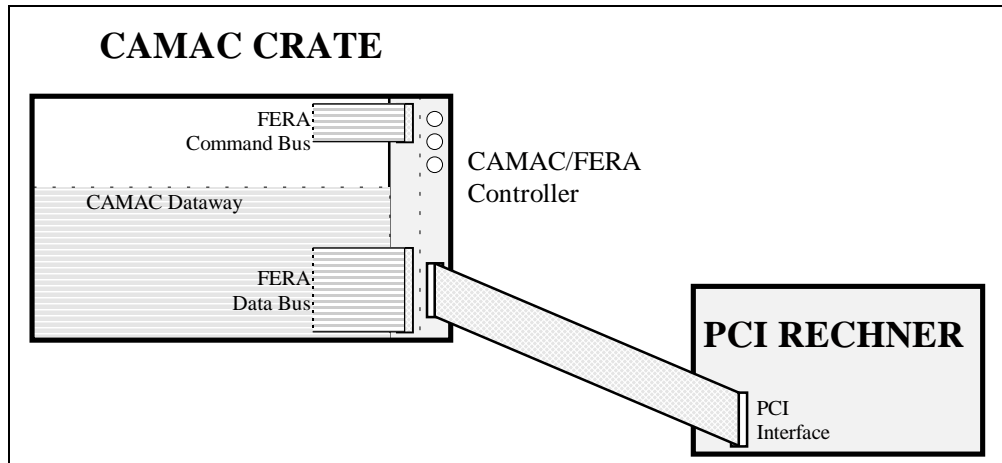


Abbildung 1 PCI CAMAC/FERA Controller

Das PCI Interface im PCI Rechner (PC oder Workstation) enthält den AMCC Chip S5933. Der sogenannte ADD-ON Bus des AMCC Chip's wird durch spezielle Treiber (74ABT16245) über ein Flachbandkabel zum CAMAC/FERA Controller geführt. Die maximale Länge des Flachbandkabels ist wegen Laufzeiten auf 2m beschränkt. Der FERA (Fast Encoding and Readout ADC) Bus wurde von der Firma LeCroy spezifiziert. Er ist auf der Frontseite durch zwei Flachbandkabeln realisiert und arbeitet mit differential ECL Signale. Die maximale Transfergeschwindigkeit liegt bei 10M Worte (16Bit) pro Sekunde.

2 Das PCI Interface

Das rechnerseitige PCI Interface ist mit dem PCI Controller **S5933** von der Firma AMCC aufgebaut. Für die Programmierung, insbesondere für DMA und Interrupt, ist das Handbuch "**S5933 PCI CONTROLLER DATA BOOK**" von AMCC notwendig. Die Signale der AddOn Seite des AMCC Controllers werden über das 60 polige Flachbandkabel dem CAMAC/FERA Controller zugeführt.

Das PCI Interface kann auch bei abgeschalteten oder nicht angeschlossenem CAMAC CRATE im vollen Umfang durch die Software angesprochen werden. Zugriffe auf die AddOn Seite liefern in diesem Fall undefinierte Daten (siehe auch xx).

Die Software findet ein PCI Device durch die Vendor und Device Kennungen. Im EEPROM des CAMAC/FERA Interfaces sind folgende Kennungen festgelegt:

<i>Vendor Identification</i>	0x10E8
<i>Device Identification</i>	0x812D
<i>Revision</i>	1
<i>Base Class Code</i>	0x07 (Simple Communications Controller)
<i>Sub Class Code</i>	0x80 (non standard communications device)

Mit der PCI Bios Funktion *FIND_PCI_DEVICE* können die *Bus* und *Device* Nummer des Modules ermittelt werden (siehe PCI BIOS SPECIFICATION).

2.1 PCI Bus Mapping

Das PCI Interface hat am PCI Bus 4 Adress-Regionen, die beim Power Up vom PCI BIOS initialisiert werden. Sie können grundsätzlich im Memory- oder IO-Space liegen, wobei der IO Space kleiner oder gleich 256 Byte sein muß. Hier wurde, wie allgemein üblich, für alle Regionen der Memory-Space gewählt. Die Basis Adressen dieser Bereiche können aus dem sogenannten „PCI Configuration Header“ entnommen werden (durch Aufruf des PCI BIOS).

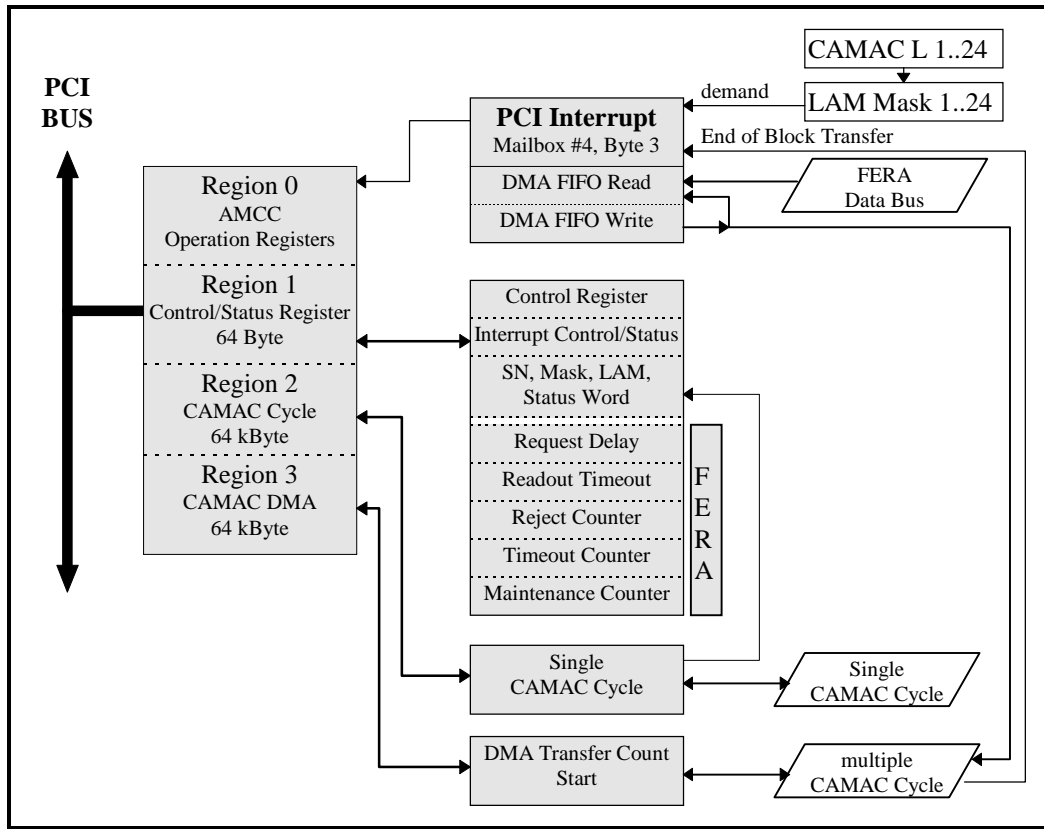


Abbildung 2

2.2 Region 0

Dieser Bereich hat eine Größe von 64 Byte. Über diesen Bereich sind alle Register des AMCC's zugänglich. Diese Register steuern im wesentlichen den DMA Transfer und den Interrupt Mechanismus. Sie beinhalten jeweils vier Mailbox Register in beiden Richtungen, die aber nicht benutzt werden. Nur das Incoming Mailbox Register #4, Byte 3, wird zum Auslösen eines Interrupts benutzt.

Offset	Access	Register	Bemerkung
0x00	RW	OMB[4]	Outgoing Mailbox Register, diese sind ohne Bedeutung
0x10	RO	IMB[4]	Incoming Mailbox Register, nur das Bit 24 in IMB[3] ist hier von Bedeutung
0x20	RW	FIFO	kann für den programmgesteuerten Block Transfer benutzt werden
0x24	RW	MWAR	Master Write Address Register
0x28	RW	MWTC	Master Write Transfer Count Register
0x2C	RW	MRAR	Master Read Address Register
0x30	RW	MRTC	Master Read Transfer Count Register
0x34	RO	MBEF	Mailbox Empty/Full Status, ist hier ohne Bedeutung
0x38	RW	INTCSR	Interrupt Control/Status Register
0x3C	RW	MCSR	Bus Master Control/Status Register

2.3 Region 1

In dieser Region, mit einer Größe von 64 Byte, befinden sich alle externen Register, die für die Steuerung von CAMAC und FERA verantwortlich sind.

Offset	Access	Register	Bemerkung
0x00	RW	Control	Interrupt Mask
0x04	RD WR	Status Control	Read Status Execute/Selective Clear
0x08	WO	Multiple N	Accessed N by N(24), multi cast
0x0C	RW	LAM Mask	0 = maskiert (gesperrt)
0x10	RO	LAM Signals	Zustand der DataWay LAM's
0x14	RO	CAMAC Cycle Status	last CAMAC READ Data, OFFLINE/X/Q
0x18 -0x24			dieser Bereich wird nicht benutzt!
0x28	RW	FERA Request Delay	
0x2C	RW	FERA Readout Timeout	
0x30	RO WR	FERA Gate Reject Counter Clear Counter	
0x34	RO WR	FERA Timeout Counter Clear Counter	
0x38	RO	Maintenance Counter	selectable Time Interval

2.4 Region 2

In dieser Region mit einer Größe 64kByte ist der gesamte CAMAC DATAWAY gemappt (32F * 32N * 16A * 4Byte = 64kByte). Dieser Bereich kann als ein dreidimensionales Array von LongWords aufgefaßt werden. Durch das Schreiben oder Lesen eines Wortes wird ein CAMAC Zyklus ausgeführt.

2.5 Region 3

Über diesen Bereich, der wie Bereich 2 den gesamten CAMAC DATAWAY abbildet, wird der Blocktransfer (DMA) gesteuert. Beim Schreiben oder Lesen greift man auf das Transfer Count Register zu. Durch den Schreibbefehl wird der Blocktransfer gestartet, wobei durch die Adresse F, N und A bestimmt werden. Dabei wird durch F die Richtung der Übertragung festgelegt. Durch einen Lesezugriff enthält man den momentanen Wert des Transfer Count Registers. Die Adresse spielt in diesem Fall keine Rolle.

3 Der CAMAC Bus

3.1 Control Register

Dieses Register hat die Adresse 0 in Region 1. Die Bit's, die nur für FERA vorhanden sind, sind im FERA Teil erläutert.

BIT	i/o	Name	Funktion
0 00000001	RW	FE_ENABLE	FERA enable
1 00000002	RW	FE_RO_SINGLE	Single FERA Readout Cycles
2 00000004	RW	IE_OFFLINE	Interrupt Enable for CAMAC OFFLINE switch
3 00000008	RW	IE_LAM	Interrupt Enable for CAMAC LAM
4 00000010	RW	IE_BLOCK	Interrupt Enable for CAMAC Block Transfer
5 00000020	RW	IE_RO_TOUT	Interrupt Enable for FERA Readout Timeout
6 00000040	RW	IE_CNT_OVR	Interrupt Enable for FERA Counter Overrun
7 00000080	RW	IE_RO_END	Interrupt Enable for FERA End of Readout
9-8 00000300	RW	MAINT_SEL	FERA Maintenance Selector
15-10 0000FC00			frei, immer null
31-16 FFFF0000			frei, nur null, wenn FERA vorhanden

Durch das Setzen von einem Interrupt Enable Bit wird kein Interrupt ausgelöst, auch wenn die Interrupt Quelle im Control/Status Register gesetzt ist. Mit Ausnahme von IE_OFFLINE wird ein Interrupt nur dann erzeugt, wenn das Interrupt Enable Bit gesetzt ist und das Statusbit im Control/Status Register von 0 auf 1 wechselt.

FE_ENABLE wenn der CAMAC Controller mit einer FERA Platine bestückt ist, wird durch dieses Bit der FERA Teil eingeschaltet. In diesem Fall ist kein CAMAC READ Blocktransfer mehr möglich, weil diese DMA Richtung für FERA benötigt wird. Wenn keine FERA Platine vorhanden ist, kann dieses Bit nicht gesetzt werden. Es bleibt in diesem Fall immer null.

IE_OFFLINE wenn dieses Bit gesetzt ist, wird ein PCI Interrupt erzeugt, wenn der online/offline Schalter am CAMAC Controller betätigt wird, d.h. wenn das OFFLINE Bit gesetzt oder zurückgesetzt wird.

3.2 Control/Status Register

Dieses Register hat die Adresse 4 in Region 1. Die Bit's, die nur für FERA vorhanden sind (in der 2. Spalte gekennzeichnet), sind im FERA Teil erläutert. Durch ein Master Reset werden alle Bit's bis auf das CAM_OFFLINE Bit zurückgesetzt.

BIT		Read	Write
0 00000001		CAM_BLK_RD, CAMAC DMA Read Request (F0)	
1 00000002		CAM_BLK_WR, CAMAC DMA Write Request (F16)	
2 00000004		CAM_OFFLINE	
3 00000008		INT_LAM	clear it
4 00000010		INT_BLOCK	clear it
5 00000020	FE	INT_RO_TOUT	clear it
6 00000040	FE	INT_CNT_OVR	clear it
7 00000080	FE	INT_RO_END	clear it
8 00000100	FE	REJECT_OVR	clear it
9 00000200	FE	TOUT_OVR	clear it
10 00000400	FE	FERA_VETO	FERA CLEAR
11 00000800	FE	FERA_IDLE	FERA GATE
12 00001000	FE	FERA_INHIBIT	
13 00002000	FE	FERA_BUSY	
15-14 0000c000			
31-16 ffff0000			

CAM_BLK_RD dieses Bit zeigt einen aktiven Block Read Zustand an. Die Daten werden dabei vom CAMAC Modul zum Rechner über das AMCC FIFO übertragen. Dieses Bit kann nur durch ein Master Reset zurückgesetzt werden, falls der DMA Transfer nicht beendet werden kann.

CAM_BLK_WR dieses Bit zeigt einen aktiven Block Write Zustand an. Die Daten werden dabei vom Rechner zum CAMAC Modul über das AMCC FIFO übertragen. Dieses Bit kann nur durch ein Master Reset zurückgesetzt werden, falls der DMA Transfer nicht beendet werden kann.

CAM_OFFLINE dieses Bit gibt den Zustand des online/offline Schalters am CAMAC Controller an.

INT_LAM dieses Bit wird gesetzt, wenn das maskierte Summen LAM von 0 nach 1 geht, d.h. wenn der Inhalt vom Graded LAM Register ungleich null wird. Das Graded LAM Register kann mit der CAMAC Funktion N(30) A(0) F(0) gelesen werden. Durch ein Schreibbefehl mit diesem Bit, kann es selektiv zurückgesetzt werden. Solange das Graded LAM Register ungleich null ist, kann das Statusbit nicht erneut gesetzt werden.

INT_BLOCK dieses Bit wird am Ende eines Blocktransfers gesetzt. Das ist der Fall, wenn der Transfer Counter abgelaufen ist oder ein Q-Stop wirksam geworden ist. Bei der Übertragung zum Rechner können aber noch Daten im AMCC FIFO stehen. Dieses Bit kann selektiv zurückgesetzt werden.

3.3 SN Register

Dieses Register hat die Adresse 0x8 in Region 1. Durch den Inhalt dieses Registers werden normale Stationsnummern selektiert, die durch einen CAMAC Befehl mit N(24) alle gemeinsam angesprochen werden. Dabei entspricht Bit 0 der Station 1 und Bit 22 der Station 23. Durch ein Master Reset wird dieses Register auf null gesetzt. Das Register kann nicht zurückgelesen werden. Alternativ kann es auch durch den CAMAC Befehl N(39) A(8) F(16) beschrieben werden.

					23:22			16					8				0
					23:23			18:17					10:9				2:1

3.4 LAM Mask Register

Dieses Register hat die Adresse 0x8 in Region 1. Durch den Inhalt dieses Registers werden normale Stationsnummern selektiert, die durch einen CAMAC Befehl mit N(24) alle gemeinsam angesprochen

3.4.1 CAMAC Status Word

BIT	i/o	Name	Bemerkung
23-0 00FFFFFF	RO		Inhalt vom CAMAC READ Register. Dieses Register enthält die Daten vom letzten CAMAC Read Cycle. Ein CAMAC WRITE/FUNCTION Cycle verändert diesen Wert nicht.
27-24	RO		null
28 10000000	RO	INHIBIT	Zustand auf CAMAC Dataway
29 20000000	RO	OFFLINE	Zustand des CAMAC ONLINE/OFFLINE Schalters. Wenn OFFLINE gesetzt ist, werden keine CAMAC Cycles ausgeführt.
30 40000000	RO	X	X Signal vom letzten programmierten CAMAC Cycle. Dieses Signal wird nicht von DMA CAMAC Cycles verändert.
31 80000000	RO	Q	Q Signal vom letzten programmierten CAMAC Cycle. Dieses Signal wird nicht von DMA CAMAC Cycles verändert.

Das CAMAC Status Register speichert die Daten vom letzten CAMAC Cycle. Es ist wie folgt aufgebaut:

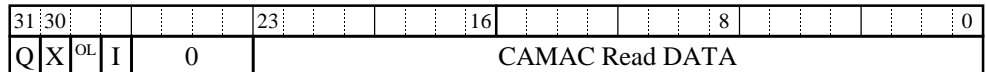


Abbildung 3 CAMAC Status Word

3.5 Region 2

In dieser Region stehen uneingeschränkt alle CAMAC Funktionen, wie sie in **Tabelle 1** aufgeführt sind, zur Verfügung. Das Ergebnis wird in CAMAC Status Register gespeichert.

Die Region 2 legt durch ihre relative Adresse die CAMAC Adresse *N*, *A* und *F* fest. In dem Adress Bereich von 64 kByte sind diese Werte wie folgt codiert:

31					16					11					6				2	0
Region 2 Base Address						F		N		A		0								

Abbildung 4 NAF Codierung

3.5.1 Der einfache CAMAC Transfer

Der einfache CAMAC Transfer wird wie folgt ausgeführt.

1. Die Speicher Adresse wird nach **Abbildung 4** unter Verwendung der Basis aus Region 2 berechnet.
2. Beim CAMAC WRITE wird mit dieser Adresse ein Schreibbefehl ausgeführt. X und Q werden im CAMAC Status Register gespeichert und können dort ausgelesen werden. F16 wird unabhängig von der kodierten Adresse auf 1 und F8 auf 0 gehalten.
3. Beim CAMAC READ oder CAMAC FUNCTION wird mit der kodierten Adresse ein Lesebefehl ausgeführt. Man erhält damit sofort das CAMAC Daten Wort mit den XQ Status Bits (siehe **Abbildung 3**). Wenn F16 1 und F8 0 ist (CAMAC WRITE), wird F16 auf 0 gesetzt (CAMAC READ).

Die normalen physikalischen CAMAC Stationen reichen von 1 bis 23. Die Stationsnummern 24, 26, 28 und 30 haben spezielle Bedeutungen, die in folgender Tabelle aufgeführt sind.

PCI CAMAC/FERA Controller

N	A	F	X	Q	
1..23					select specified CAMAC Station (normal CAMAC access)
24					select CAMAC Station masked in N Register (multi cast)
26					select all CAMAC Station (broad cast), N1 to N23
28	0	16	1	1	load (write) LAM Mask Register
28	8	26	1	0	generate CAMAC C
28	9	26	1	0	generate CAMAC Z
30	0..7	0	1	1	read graded (masked) LAM
30	8	16	1	1	load (write) multiple N Register
30	9	24	1	0	reset <i>Inhibit</i>
30	10	24	1	0	reset <i>DemandMask</i>
30	9	26	1	0	set <i>Inhibit</i>
30	10	26	1	0	set <i>DemandMask</i>
30	9	27	1	I	test <i>Inhibit</i>
30	10	27	1	DM	test <i>DemandMask</i>
30	11	27	1	D	test <i>Demand</i> (not masked with <i>DemandMask</i>), sum of graded LAM

Tabelle 1 CAMAC Sonderfunktionen

3.6 Region 3

Mit dieser Region wird der DMA Blocktransfer für CAMAC abgewickelt. Es sind beide Richtungen möglich, jedoch nur eine zu einer Zeit. Der Block READ Transfer ist nur möglich, wenn kein FERA eingeschaltet ist. Im FERA Mode steht der DMA Read nur für FERA zur Verfügung. Die Speicheradresse wird genau wie beim einfachen CAMAC Transfer nach **Abbildung 6** berechnet.

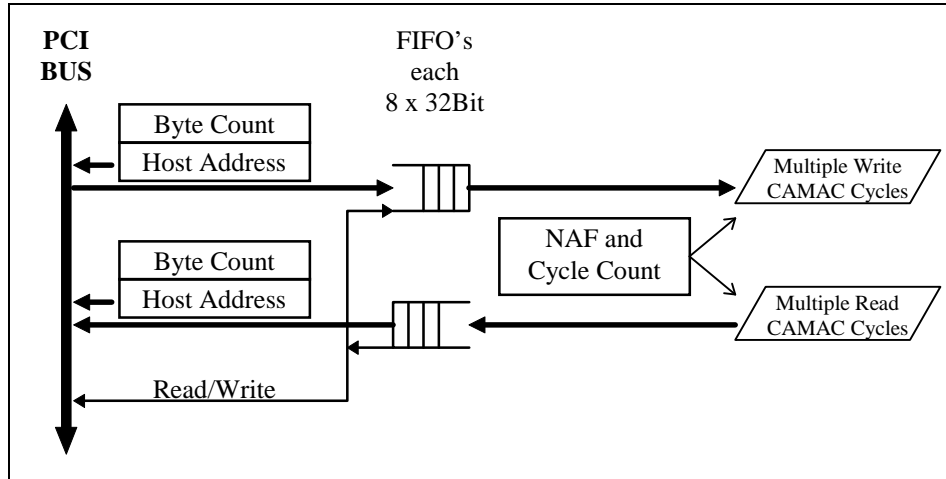


Abbildung 5 DMA Block Transfer

Der DMA Transfer wird über ein AMCC FIFO's mit 8 Worten abgewickelt. Das FIFO's kann auch direkt gelesen bzw. beschrieben werden, wobei zwischendurch der FIFO Status abgefragt werden muß. Das Ende des Blocktransfers wird im Status/Control Register angezeigt (siehe 3.2, Bit 4) und kann ein PCI Interrupt auslösen.

Der Blocktransfer wird über Region 3 abgewickelt. Die Speicher Adresse wird unter Verwendung der Basis aus Region 3 berechnet. Hierbei entscheidet F16/F8 die Transferrichtung.

31	16	11	6	2	0
Region 3 Base Address		F	N	A	0

Abbildung 6 NAF Codierung für Block Transfer

Die Transferrichtung wird durch F16/F8 festgelegt. F(16) bis F(23) sind CAMAC WRITE Funktionen, die Daten werden dabei vom Rechner zum CAMAC Module übertragen. Der Rest sind CAMAC READ Funktionen (speziell F(0) bis F(7)). Mit der berechneten Speicheradresse wird ein Schreibbefehl ausgeführt, wobei das Datenwort die maximale Anzahl von CAMAC Cycles -1 angibt (siehe **Abbildung 7**). Bit 31 muß gesetzt werden, wenn ein Q-Stop Mode gewünscht ist und Bit 30 muß gesetzt werden, wenn FAST CAMAC Cycles beim CAMAC READ ausgeführt werden sollen (LEVEL 1, mehrere S1 in einem Cycle). Der CAMAC Blocktransfer ist damit gestartet.

31	30	23	16	8	0
Q	F	not used		Transfer Count -1	

Abbildung 7 Write Format of Transfer Counter

Der maximale Transfer Count ist 0x4000, entsprechend 64kByte. Dabei wird der Wert 0x3FFF in den Transfer Counter geladen.

Der AMCC Master Transfer wird durch die Versorgung der entsprechenden AMCC Register (Master Read/Write Address, Master Read/Write Transfer Count, Bus Master Control) gestartet. Alternativ

können die Daten auch über das Bus Master Status Register und FIFO Register programmiert übertragen werden.

In der Grundstellung steht der Transfer Counter (Lesezugriff in Region 3 mit beliebiger Adresse) auf 0x3FFF und die beiden Statusbit's 0 und 1 im Status/Control Register stehen auf 0. Wenn der Zustand der DMA Register nicht bekannt ist, sind zu Anfang folgende Schritte auszuführen, um auf einen definierten Zustand zu kommen:

1. Eine Null auf Region 3 Base Address schreiben, d.h. Transfer Count 1 READ.
2. "Add-on to PCI FIFO Reset" und "PCI to Add-on FIFO Reset" ausführen (siehe AMCC MCSR).
3. Transfer Counter lesen, um zu gewährleisten, daß der eine READ Cycle auf N(0) ausgeführt wurde.
4. Nochmals "Add-on to PCI FIFO Reset" ausführen.

Das Ende des Blocktransfers wird im Status/Control Register angezeigt (Bit 4). Wenn die entsprechende Interrupt Maske im Control Register gesetzt ist, wird ein PCI Interrupt ausgelöst (Incoming Mailbox Register #4, Byte 3). Das Status Bit muß selektiv zurückgesetzt werden.

Das TransferCount Register kann anschließend durch einen Lesezugriff auf Region 3 (beliebige Adresse) ausgelesen werden. Der Wert (Bit 0..13) ist um den die Anzahl der ausgeführten CAMAC Zyklen vermindert. Wenn kein Q-Stop Mode eingeschaltet ist, ist der Wert immer 0x3FFF. Im Q-Stop Mode wird der letzte Transfer nicht gezählt, wenn Q null ist. Die oberen 4 Bit's sind wie im CAMAC Daten Wort belegt, wobei X und Q vom letzten Transfer sind.

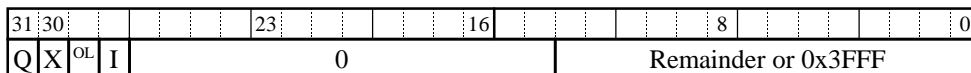


Abbildung 8 Read Format of Transfer Counter

Mit jedem Transfer werden 32 Bit übertragen. Beim Block Write Transfer ist das ober Byte ohne Bedeutung. Beim Block Read Transfer ist das Format wie beim normalen CAMAC Read. Beim Q-Stop Mode wird auch das letzte CAMAC Wort, wo Q null ist, übertragen, obwohl der Transfer Counter nicht dekrementiert wird.

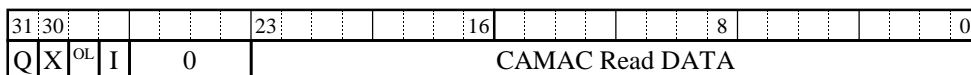


Abbildung 9 Block Read Data Format

3.7 CAMAC Demand

Für die LAM Behandlung werden die Sonderfunktionen aus Tabelle 1 benutzt. Jedes CAMAC LAM kann durch das *LAM Mask Register* maskiert werden. Beim Lesen des *graded LAM Registers* werden nur LAM's angezeigt, die im *LAM Mask Register* maskiert sind.

3.8 Power of the CAMAC Crate

Wenn das CAMAC Crate nicht eingeschaltet ist, dürfen keine Zugriffe auf die PCI Add-on Seite (Region 1-3) gemacht werden. Sonst bleibt der Rechner stehen, weil der PCI Zugriff nicht beendet wird.

Dieses Problem wurde durch eine neue PCI -CRATE Kopplung behoben. Diese Kopplung kann auch für die alten CAMAC Controller verwendet werden, wenn ein Kabel-Adapter eingesetzt wird. Wegen der Übertragungssicherheit wurde die Signal Belegung des Kabels geändert.

Wenn das CAMAC Crate abgeschaltet ist, werden die PCI Zugriffe auf dem PCI Interface im Rechner beendet. Die Daten, die dabei gelesen werden, sind Zufallsdaten.

Der Power Zustand vom CAMAC Crate wird in Bit 24 des "Incoming Mailbox Registers #4" angezeigt. Ein 0 bedeutet, daß das CAMAC Crate eingeschaltet ist. Die restlichen Bit's des Mailbox Registers sind immer null.

Beim Ein- oder Ausschalten des CAMAC Crates wird immer ein Interrupt für das "Incoming Mailbox Registers #4" erzeugt.

Leider hat diese Lösung einen Fehler, der durch ein Fehlverhalten des AMCC Chip's verursacht wird. Wenn das CAMAC Crate zu einem Zeitpunkt abgeschaltet wird, wo gerade programmierte CAMAC Transfer's laufen, kann der AMCC Chip in einen undefinierten Zustand kommen, aus dem er nur durch ein Hardware Reset herausgeholt werden kann.

4 Der FERA Bus

Der FERA Bus setzt sich aus mehreren Komponenten zusammen. Die Daten werden über einen 16 Bit

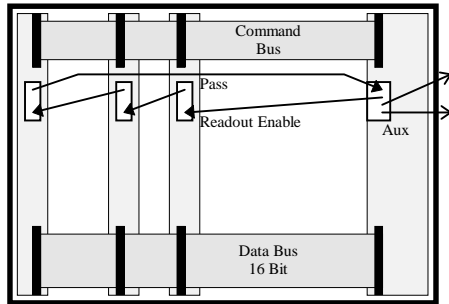


Abbildung 10 FERA CAMAC CRATE

Data Bus mit 1/2 differential ECL übertragen (wegen der BUS Struktur kann nur die ECL+ Leitung benutzt werden). Die Steuerung erfolgt über den ECL Command Bus (siehe **Abbildung 10**). Weitere Signale stehen an einem Auxilliary Stecker zur Verfügung. Das Signal "Readout Enable" befähigt in einem Art "Deasy Chain" alle FERA Module nacheinander ihre Daten zu übertragen. Das letzte Signal (PASS) wird wieder zum Controller zurückgeführt.

In **Abbildung 11** ist ein grobes Blockschaltbild des FERA Teils dargestellt. Der FERA Bus wird durch Software über das Constrol/Status Register gesteuert. Die Signale *Clear* und *Gate* können auch durch Software erzeugt werden. Es

sind zwei 16 Bit Counter, für *Timeout* Ereignisse und für *Rejected Gate* Inputs, vorgesehen. Beim Überlauf können sie einen PCI Interrupt erzeugen.

Die *Control Register*, *Delay Register* und *TimeOut Register* sind durch Software programmierbar. Die Counter für *TimeOut* und *GateReject* sind jederzeit auslesbar, jedoch ist nicht gewährleistet, daß ein eindeutiger Wert gelesen wird, wenn sich beim Auslesen der Zählerstand erhöht.

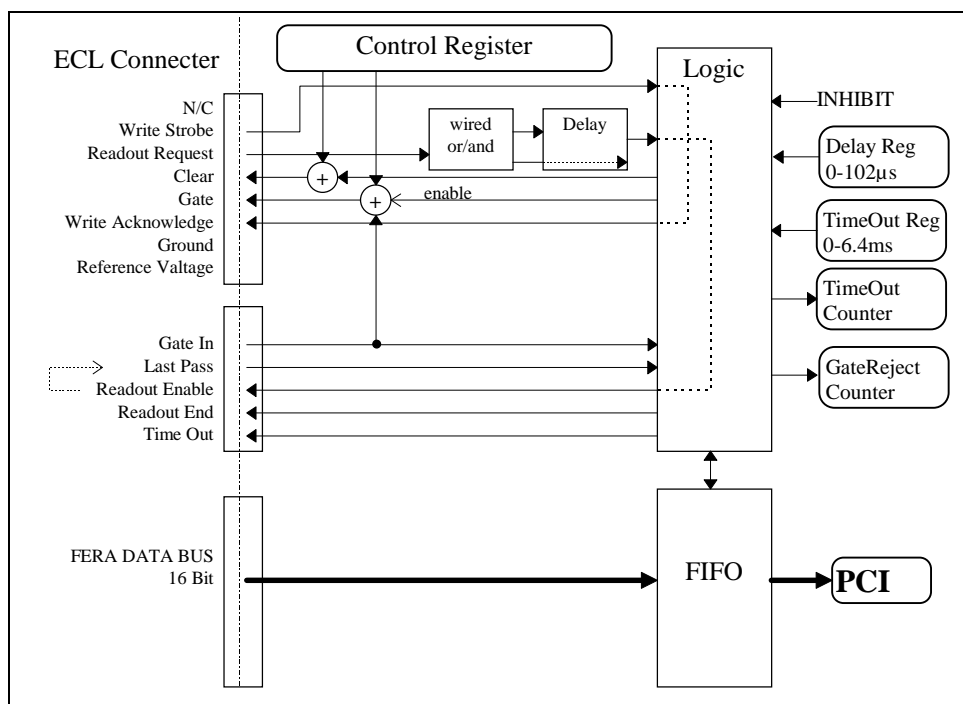


Abbildung 11 FERA Bus und Steuer Signale

4.1 Inhibit

Durch ein internes "*FERA Inhibit*" Signal werden die "*FERA Gate*" Impulse gesperrt. Dieses Signal ist immer gesetzt, wenn *FE_ENABLE* (FERA enable) im Controll Register nicht gesetzt ist oder das "CAMAC INHIBIT" vom CAMAC Dataway gesetzt ist. Es kann durch einen "*FERA Clear*" Impuls zurückgesetzt werden. Im Normal Fall wird das "*FERA Inhibit*" Signal mit dem nächsten "*FERA Gate*" Impuls gesetzt.

4.2 Der Readout Request

Jedes FERA Modul legt den "Readout Request" als ECL differential Signal auf den FERA Command BUS. Dadurch erhält man am positiven Eingang ein logisches **ODER** von allen Request Signalen und am negativen Eingang ein logisches **UND** von allen Request Signalen. Normalerweise wird das **ODER** Signal mit einem einstellbaren Delay als Start für das Auslesen verwendet. Wenn jedoch das **UND** Signal (alle FERA Module haben Readout Request gesetzt) früher als das verzögerte **ODER** Signal eintrifft, wird das Auslesen mit diesem Signal gestartet. Die Verzögerung ist über ein 10 Bit Register mit einer Auflösung von 100ns im Bereich von 0.1-102.4µs einstellbar.

Readout Request Delay = 0.1-102.4µs (steps = 0.1µs)
--

4.3 Timeout

Mit dem "*FERA Gate*" Signal wird ein Timeoutzähler gestartet. Der Maximalwert ist über ein 10 Bit Register mit einer Auflösung von 6.4µs im Bereich von 0-6.5ms einstellbar (typisch sind 50-60µs). Wenn dieser Wert vor dem "*Readout Ende*" erreicht wird, werden

1. der Timeout Counter inkrementiert,
2. ein *Timeout* Signal ausgeben,
3. ein *Clear* Impuls ausgegeben und das "*FERA Inhibit*" für 2µs (an LeCroy angepaßt) gesetzt,
4. und ein Fehlerbit im *Length Word* der bis dahin erfaßten Readout Daten gesetzt (siehe 4.6),
5. bei Bedarf ein Interrupt ausgelöst.

Wenn bei einem Timeout noch keine Readout Daten gelesen wurden, wird ein *Length Word* mit Fehlerbit und dem Längenwert 0 zum Host übertragen.

Gate to Readout End Timeout = 0-6547µs (steps = 6.4µs)

Der Timeout läuft auch dann ab, wenn vom Host die Daten zu langsam oder keine Daten entgegengenommen werden. Nach diesem Timeout bleibt die Gate Verriegelung bestehen (*FERA Inhibit*), bis alle Daten übertragen sind.

4.4 FERA - Clear

Das *FERA Clear* Signal auf dem FERA Command Bus wird nach jedem Readout End erzeugt, wenn kein Single Mode eingestellt ist. Darüber hinaus kann es auch durch einen Software Befehl erzeugt werden. Es hat eine Dauer von 50ns. Falls das Readout End durch einen Timeout erzwungen wurde, wird nach dem *FERA Clear* das interne "*FERA Inhibit*" mindestens 2 μ s aufrecht erhalten. Normalerweise wird nach einem *FERA Clear* das "*FERA Inhibit*" Gate In Eingang nach 150ns freigegeben. Ein direkter externer FERA Clear Eingang ist nicht vorgesehen. Der externe FERA Clear Eingang wird von der Ablaufsteuerung erkannt und ausgewertet.

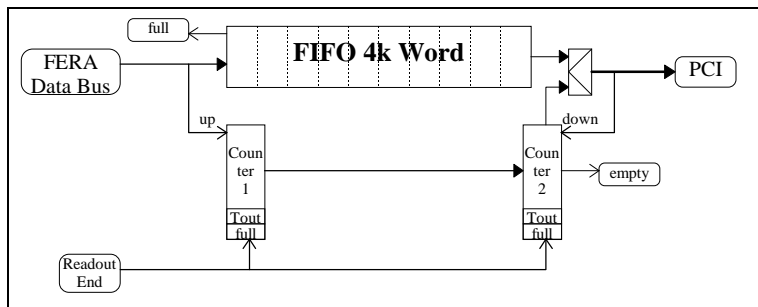
<p>Clear Duration = 100ns Gate Disable after Clear = 150ns Gate Disable after Timeout = 2μs</p>

4.5 FERA - Gate

Das FERA Gate Signal wird extern zugeführt oder durch einen Software Befehl erzeugt. Mit dem Gate Signal wird eine Verriegelung gesetzt, die alle weiteren Gate Signale sperrt (internes *FERA Inhibit*). Die Verriegelung wird normalerweise 150ns nach dem nächsten *FERA Clear* aufgehoben. Bei einem Timeout wird die Verriegelung 2 μ s nach dem *FERA Clear* aufgehoben. Die Gate Verriegelung bleibt bestehen, wenn das FERA System durch Software disabled ist oder wenn der Host keine Daten entgegen nimmt. Alle "*FERA Gate*" Signale im verriegelten Zustand werden im *Reject Counter* gezählt. Dieser Zähler ist 16 Bit und kann beim Überlauf einen Interrupt auslösen.

4.6 Datenübertragung

Die FERA Daten von einem Readout werden in einem FIFO, das 4k Worte aufnehmen kann, gesammelt und dann über PCI zum Host übertragen. Die Übertragung wird durch zwei Zähler gesteuert.



Zunächst werden die FERA Daten in das FIFO übertragen und vom ersten Zähler erfaßt. Beim *Readout End* wird der Zählerstand in den zweiten Zähler übernommen und der PCI Datentransfer gestartet. Dabei wird der Zählerstand als erstes Datenwort übertragen. Während der PCI Übertragung können die Daten vom nächsten Readout

Abbildung 12 Data Transfer

schon wieder in das FIFO übertragen werden. Beim Ablauf können verschiedene Ausnahmefälle auftreten:

- Readout Daten größer als 4k.** In diesem Fall wird im ersten Zähler das *full* Bit gesetzt, dann der Zählerstand in den zweiten Zähler übertragen und der PCI Transfer gestartet. Der FERA Datentransfer wird in diesem Fall durch das FIFO *full* Flag gebremst, wenn der PCI Datentransfer langsamer ist.
- Counter 2 nicht empty wenn Readout End.** Dieser Fall kann auftreten, wenn der PCI Transfer zu langsam ist. Dabei wird nach dem *Readout End* das *Gate In* Signal erst wieder zugelassen, wenn der *Counter 2 empty* wird und den Inhalt von Counter 2 übernommen hat.
- FERA Timeout.** Ein Timeout entsteht normalerweise, wenn nach einem *Gate* Signal kein *Readout Request* empfangen wird. Darüber hinaus kann ein Timeout auch entstehen, wenn das *PASS* Signal vom letzten FERA Module nicht empfangen wird oder wenn im Fall a) der PCI Transfer zu langsam ist. Bei einem Timeout wird im ersten Zähler das *Tout* Bit gesetzt und der Zählerstand in den zweiten Zähler übertragen, sobald dieser leer ist. Der Zähler wird auch dann zum Host übertragen, wenn der Zählerinhalt 0 ist. Falls der Timeout mitten im FERA Datentransfer auftritt, wird der Transfer abgebrochen. Das nächste *Gate In* Signal kann erst dann zugelassen werden, wenn alle Daten des FIFO's übertragen sind. Die bis dahin gesammelten Daten werden mit einer Fehlerkennung übertragen.

4.6.1 Datenformat

Vom FERA Data Bus werden 16 Bit Daten übertragen und zum PCI Bus werden 32 Bit übertragen. Das erste Wort, das über den PCI Bus übertragen wird hat folgendes Format:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
F		0														T		1		0		Transfer Count													

Bit 16 ist immer 1 und dient zur Unterscheidung von den FERA Datenwörtern. Der Wert *Transfer Count* gibt die Anzahl der folgenden FERA Datenwörter an, die z.Zt. noch als 32 Bit Wörter übertragen werden. Bit 17 (T) wird bei einem FERA Timeout gesetzt. Wenn der *Transfer Count* in diesem Fall ungleich null ist, wurde der FERA Transfer abgebrochen (wenn z.B. das REQ+ nicht zurück geht und auch kein PASS Signal kommt). Bit 31 (F, Vorzeichen) ist gesetzt, wenn die Readout Daten größer als 4k Worte sind (*Transfer Count* ist in diesem Fall 0x1000). Der Rest der Daten wird mit dem folgenden Block übertragen. Dabei kann sein, daß im Folgeblock der *Transfer Count* null ist, wenn die Readout Daten genau 4k Worte sind.

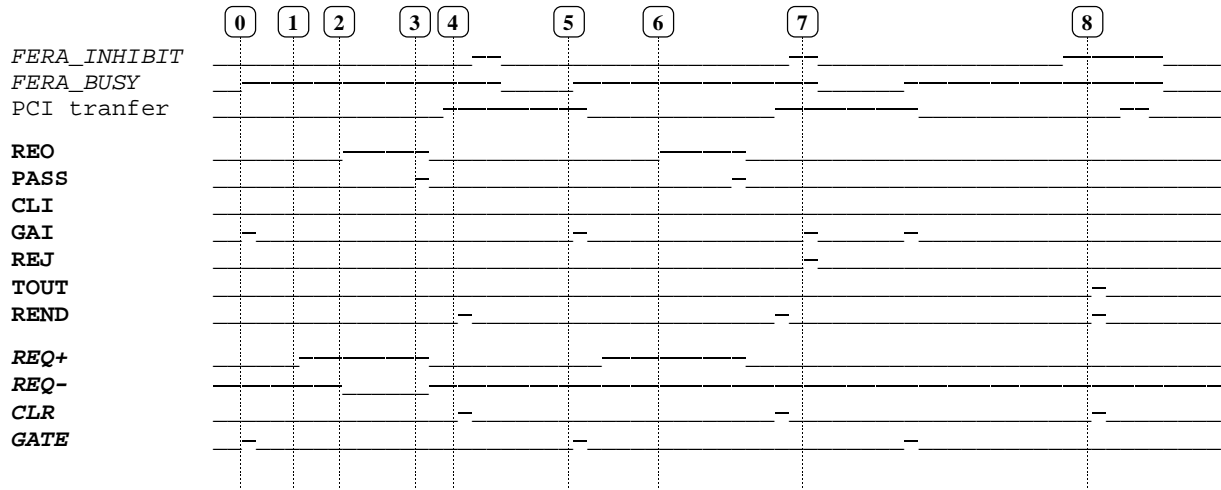
Die FERA Daten werden im unteren Wort (Bit 0-15) übertragen:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0																FERA DATA Word															

Es ist geplant, in einer späteren Version die FERA Daten zu packen und in einem 32 Bit PCI Wort zwei FERA Daten Wörter zu übertragen.

4.7 FERA Timing

Im folgenden Zeitdiagramm ist der Ablauf von einem Readout Zyklus dargestellt. Die ersten beiden Zeilen sind interne Zustände. Die fettgedruckten Signale sind externe Signale, die am Auxiliary Connector und am FERA Command Bus Connector gesendet bzw. empfangen werden.



- ① Der GATE Impuls am **GAI** Eingang wird auf den FERA Command Bus gelegt. Ab diesem Zeitpunkt sind alle weiteren GATE Impulse gesperrt.
- ② Das erste FERA Module stellt einen ReadOut Request (**REQ+**). Damit wird der Request Delay Counter gestartet.
- ③ Hier haben alle FERA Module den ReadOut Request gestellt (**REQ-**), bevor der Request Delay Counter abgelaufen ist. Es wird das Request Output Signal auf den Command Bus gelegt.
- ④ Mit dem **PASS** Signal oder wenn das Request Signal zurückgenommen wird, ist der ReadOut Vorgang beendet.
- ⑤ Sobald der PCI Transfer angestoßen ist, wird ein Clear Signal (**CLR**) und ein ReadOut Ende Signal (**REND**) erzeugt. Danach wird nach einer Sicherheitszeit von 150ns der GATE Eingang wieder freigegeben.
- ⑥ Hier beginnt der nächste ReadOut Zyklus, während die letzten ReadOut Daten zum Rechner übertragen werden.
- ⑦ An dieser Stelle ist der Request Delay Counter abgelaufen. Das Request Output Signal wird auf den Command Bus gelegt.
- ⑧ Wenn der GATE Input noch gesperrt ist, erzeugt ein GATE Input Signal ein Reject Signal (**REJ**) am Auxiliary Connector und inkrementiert den Rejected Gate Counter.
- ⑧ Hier ist ein ReadOut Timeout abgelaufen. Am Auxiliary Connector werden die Signale Timeout (**TOUT**) und ReadOut End (**REND**) ausgegeben. Auf dem Command Bus wird ein Clear Signal (**CLR**) ausgegeben und nach einer Sicherheitszeit von 2µs wird der GATE Eingang wieder freigegeben.

4.8 FERA Device Register

Die PCI FERA Device Register liegen zusammen mit den CAMAC Device Registern in PCI Address Region 1. Sie umfassen folgende Register:

Offset	Access	Register	Bemerkung
0x00	RW	Control Register, CR	Interrupt Mask
0x04	RD EX	Control and Status Register, CSR	Read Status Selective Clear Status or Execute
			CAMAC Register
0x28	RW	FERA Request Delay	10 Bit, 100ns Einheit
0x2C	RW	FERA Readout Timeout	10 Bit: 6,4µs Einheit
0x30	RO WR	FERA Gate Reject Counter Clear Counter	16 Bit
0x34	RO WR	FERA Timeout Counter Clear Counter	16 Bit
0x38	RO	Maintenance Counter	16 Bit, selectable Time Interval: 50ns Einheit

Achtung!

Durch eine Änderung der Quarzfrequenz, die zur Zeit 20Mhz ist, kann die Zeitbasis verändert werden. Zum Beispiel ergeben sich bei 25Mhz folgende Zeiten.

50ns => 40ns
100ns => 80ns
6,4µs => 5,12 µs

4.8.1 Control Register

Dieses Register kontrolliert den FERA Teil und enthält die Interrupt enable Bit's, die teilweise auch CAMAC Interrupt's betreffen.

BIT	i/o	Name	Funktion
0 00000001	RW	FE_ENABLE	FERA enable
1 00000002	RW	FE_RO_SINGLE	FERA Single Readout Mode
2 00000004	RW	IE_OFFLINE	Interrupt Enable for CAMAC OFFLINE switch
3 00000008	RW	IE_LAM	Interrupt Enable for CAMAC LAM
4 00000010	RW	IE_BLOCK	Interrupt Enable for CAMAC Block Transfer
5 00000020	RW	IE_RO_TOUT	Interrupt Enable for FERA Readout Timeout
6 00000040	RW	IE_CNT_OVR	Interrupt Enable for FERA Counter Overrun
7 00000080	RW	IE_RO_END	Interrupt Enable for FERA End of Readout
9-8 00000300	RW	MAINT_SEL	Maintenance Selector
31-10			read as zero

FE_ENABLE Mit diesem Bit wird der FERA Teil enabled. Nachdem dieses Bit gesetzt ist, ist ein externes Clear Signal (**CLI**) notwendig, das auch durch Software gegeben werden kann, um das interne FERA Inhibit zurückzusetzen. Wenn dieses Bit wieder zurückgesetzt wird, wird der FERA Teil in einen definierten Zustand gesetzt. Dabei werden das FIFO gelöscht und alle Counter zurück gesetzt. Der CAMAC Read Block Transfer ist nur möglich, wenn das **FE_ENABLE** Bit zurückgesetzt ist.

FE_RO_SINGLE Wenn dieses Bit gesetzt ist, bleibt das interne FERA Inhibit nach einem FERA Transfer gesetzt, bis ein externes Clear Signal (**CLI**), das auch durch Software erzeugt werden kann, erkannt wird.

MAINT_SEL durch diese Bit's wird festgelegt, welches Zeiten vom Maintenance Counter erfaßt werden sollen:

- 00 Zeit vom GAI (Gate In) Signal bis zum REQ+ (Request vom ersten FERA Module).
- 01 Zeit vom REQ+ bis zum REO (Request Output) Signal. REO wird durch das Signal REQ- (alle FERA Module haben Request gesetzt) oder durch die Request Delay Zeit gesetzt.
- 1x Zeit vom REQ+ bis zum PASS Signal oder REQ+ zurückgenommen.

4.8.2 Status/Control Register

Dieses Register liefert Interrupt und Status Signale, die teilweise auch CAMAC Signale sind. Die Interrupt und teilweise die Status Signale (Bit 3-9) können selektiv zurückgesetzt werden. Die Bit's 2 bis 7 erzeugen einen PCI "Incoming Mailbox #4, Byte 3" Interrupt, wenn das entsprechende Interrupt enable Bit im Control Register gesetzt ist.

BIT	Read	Write
0 00000001	CAMAC DMA Read Request (F0)	CAMAC C
1 00000002	CAMAC DMA Write Request (F16)	CAMAC Z
2 00000004	CAMAC OFFLINE	
3 00000008	INT_LAM	clear it
4 00000010	INT_BLOCK	clear it
5 00000020	INT_RO_TOUT	clear it
6 00000040	INT_CNT_OVR	clear it
7 00000080	INT_RO_END	clear it
8 00000100	REJECT_OVR	clear it
9 00000200	TOUT_OVR	clear it
10 00000400	FERA_VETO	FERA CLEAR
11 00000800	FERA_IDLE	FERA GATE
12 00001000	FERA_INHIBIT	
13 00002000	FERA_BUSY	
31-14	0	

INT_RO_TOUT der FERA ReadOut Timeout hat angesprochen (dabei wird auch der TimeOut Counter inkrementiert).

INT_CNT_OVR der GATE Reject Counter oder der ReadOut Timeout Counter ist übergelaufen. Dieses Bit wird zusammen mit den Status Bit's 8 oder 9 gesetzt. Es kann aber unabhängig von diesen Status Bit's zurück gesetzt werden.

INT_RO_END dies Bit wird gesetzt, wenn nach dem FERA Transfer alle Daten im FIFO sind und der DMA Request gesetzt ist.

REJECT_OVR der GATE Reject Counter (16 Bit) ist übergelaufen und hat wieder bei null angefangen. Wenn *TOUT_OVR* nicht gesetzt ist, wird gleichzeitig *INT_CNT_OVR* gesetzt.

- TOUT_OVR** der ReadOut TimeOut Counter (16 Bit) ist übergelaufen und hat wieder bei null angefangen. Wenn **REJECT_OVR** nicht gesetzt ist, wird gleichzeitig **INT_CNT_OVR** gesetzt.
- FERA_VETO** dieses Bit gibt den Zustand des Eingangssignals **VETO** wieder. Solange dieses Signal gesetzt ist, werden keine **GAI** Impulse (auch nicht durch Software erzeugte) durchgelassen.
- FERA_IDLE** wenn das **FE_RO_SINGLE** Bit gesetzt ist, wartet die Ablaufsteuerung in diesem Zustand auf das nächste **CLI** Signal, welches auch durch Software gegeben werden kann.
- FERA_INHIBIT** die FERA GATE Signale (**GAI**) sind intern disabled. Dies ist z.B. der Fall, wenn die ReadOut Daten aus dem FIFO nicht abgeholt werden (siehe **FERA Timing** Seite **19**).
- FERA_BUSY** dieses Signal wird mit dem GATE Signal gesetzt und bleibt solange gesetzt, bis der ReadOut Transfer beendet ist (siehe **FERA Timing** Seite **19**). Wenn mindestens eines der Signale **FERA_VETO**, **FERA_INHIBIT** oder **FERA_BUSY** gesetzt ist, werden alle GATE Signale rejected.
- FERA_CLEAR** durch einen Schreibvorgang auf dieses Bit wird genau wie durch ein externes **CLI** Signal ein FERA Clear Zyklus eingeleitet.
- FERA_GATE** durch einen Schreibvorgang auf dieses Bit wird genau wie durch ein externes **GAI** Signal ein FERA GATE Signal generiert. Die Impulslänge ist 60ns.

4.8.3 Request Delay Register

Dieses Register bestimmt die Zeit, mit der der erste *Readout Request (wired or)* verzögert wird. Die Zeit läßt sich von 0 bis 102.3µs in Schritten von 100ns einstellen. Die Genauigkeit ist +0 bis +100 ns. Setzen nicht alle Module ihr *Readout Request Signal (wired and, REQ-)*, wird das Readout nach Ablauf der Verzögerungszeit gestartet (siehe auch **4.1**). Wenn jedoch REQ- früher erscheint, wird der Readout mit diesem Signal gestartet.

BIT	Access	Name	Bemerkung
9-0 00003FF	RW	REQ_DELAY	Wert für den Request Delay als Vielfaches von 100ns.
31-10			werden als null gelesen.

4.8.4 Readout Timeout Register

Dieses Register bestimmt die Zeit, die vom Anlegen des *FERA Gate* Signals bis zum *Readout End* Signal vergehen darf. Wird diese Zeit überschritten, wird der Readout Vorgang abgebrochen (siehe **4.3**). Die Zeit läßt sich von 0 bis 6547.2µs in Schritten von 6.4µs einstellen.

BIT	Access	Name	Bemerkung
0-11 0000FFF	RW	READOUT_TMO	Wert für Readout Timeout als Vielfaches von 1µs.
10-31			werden als null gelesen.

4.8.5 Gate Reject Counter Register

In diesem Register werden alle Gate In Signale gezählt, die durch Gate Inhibit gesperrt werden. Das Gate Inhibit Signal wird so gesteuert, daß entweder das Gate In Signal ganz gesperrt wird oder ganz durchgelassen wird. Der Zähler ist 16 Bit breit. Der Überlauf wird im Control/Status Register angezeigt (siehe 4.8.1). Durch einen Schreibvorgang auf dieses Register kann der Zähler auf null gesetzt werden. Er wird außerdem auch zurückgesetzt, wenn das *FE_ENABLE* Bit zurückgesetzt ist.

BIT	Access	Name	Bemerkung
0-15 0000FFFF	RW	<i>REJ_CNT</i>	Anzahl der GATE Impulse, die gesperrt wurden.
16-31			werden als null gelesen.

4.8.6 Timeout Counter Register

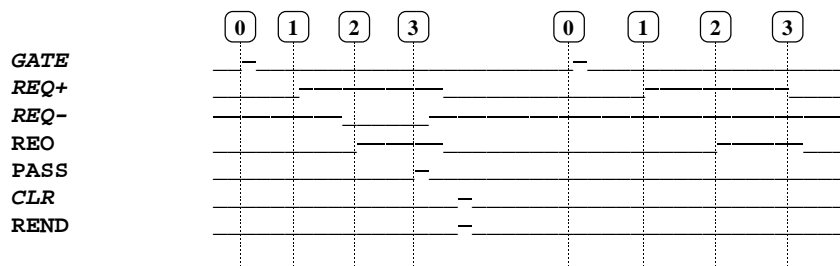
In diesem Register werden die Timeout Ereignisse gezählt (siehe 4.3). Auch dieser Zähler ist 16 Bit breit und der Überlauf wird im Control/Status Register angezeigt. Durch einen Schreibvorgang auf dieses Register kann der Zähler auf null gesetzt werden. Er wird außerdem auch zurückgesetzt, wenn das *FE_ENABLE* Bit zurückgesetzt ist.

BIT	Access	Name	Bemerkung
0-15 0000FFFF	RW	<i>REJ_CNT</i>	Anzahl der Timeout Ereignisse.
16-31			werden als null gelesen.

4.8.7 Maintenance Counter Register

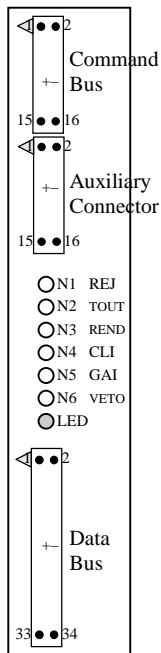
In diesem Register können drei verschiedene Zeiten erfaßt werden. Die gewünschte Zeit wird im Control Register mit Bit 9/8 eingestellt (siehe Seite 21). Der Wert kann sich in bestimmten Phasen ändern, während das ReadOut aktiv ist. Wenn man nicht im *Single Mode* arbeitet, sollte man das Register zweimal Lesen. Wenn beide Werte gleich sind, hat man eine gültige Zeit. Die Zeiteinheit ist 50ns. Das Register hat die Offsetadresse 0x38. Ein Schreibzugriff ist ohne Bedeutung und es gibt keine Reset-Möglichkeit.

BIT	Access	Name	Bemerkung
0-15 0000FFFF	RO	<i>MAINT_CNT</i>	eine von drei einstellbaren Zeiten.
16-31			werden als null gelesen.



- ① - ② *MAINT_SEL*=00, Zeit vom **GATE** Impuls bis zum **REQ+** (Request vom ersten FERA Modul) Signal.
- ② - ③ *MAINT_SEL*=01, Zeit vom **REQ+** Signal bis zum **REO** (Request Output) Signal. Dieses Signal wird angelegt, wenn entweder das **REQ-** (Request von allen FERA Modulen) Signal erscheint oder der *Request Delay* abläuft.
- ③ - ④ *MAINT_SEL*=10, Zeit vom **REQ+** Signal bis zum **PASS** Signal oder zur Wegnahme von **REQ+**.

4.9 FERA Connectors



Alle Anschlüsse für den FERA Teil sind auf der linken Frontseite des CAMAC Controllers untergebracht. Einige Signale stehen auch als NIM Pegel zur Verfügung. Die zugehörigen Lemo Buchsen sind in der Mitte angeordnet (N1 bis N6).

4.9.1 FERA Command Bus

+	-	Name	i/o	Erklärung	Modell 430x	+	-
1	2	NC			NC	1	2
3	4	WST/GND	In	Write Strobe	WST	3	4
5	6	REQ+/REQ-	In	Readout Request	REQ	5	6
7	8	CLR	Out	Clear	CLR	7	8
9	10	GATE	Out	Gate	GATE	9	10
11	12	WAK	Out	Write Acknowledge	WAK	11	12
13	14	GND/GND			GND/GND	13	14
15	16	NC	Out	not used	TRV	15	16

Tabelle 2 FERA Command Bus

Die Stecker für den FERA Command Bus ist so belegt wie bei den Le Croy Modulen der Serie 430x, die oben rechts dargestellt ist. Die erforderlichen FERA Bus Verbindungen sind in der schmalen Spalte dunkel dargestellt.

4.9.2 FERA Auxiliary Connector

Auf dem mittleren Auxiliary Stecker befinden sich weitere Ein/Ausgangs-Signale, die teilweise auch als NIM Pegel zur Verfügung stehen (Lemo Buchsen N1-N6). Die Zuordnung ist in der unteren Tabelle dargestellt. Das *Readout Enable* für das erste FERA Module ist REO (1/2). Das *Request Pass* Signal vom letzten FERA Module wird auf PASS (3/4) zurückgeführt.

+	-	NIM	Name	i/o	Erklärung
1	2		REO	Out	Request Out
3	4		PASS	In	return of request chain
5	6	N4	CLI	In	Clear Input
7	8	N5	GAI	In	Gate Input
9	10	N6	VETO	In	Veto for Gate Input
11	12	N1	REJ	Out	Reject (rejected Gate Impuls)
13	14	N2	TOUT	Out	Readout Timeout
15	16	N3	REND	Out	Readout End

Tabelle 3 Auxiliary Connector

4.9.3 FERA Data Bus

Über den FERA Data Bus werden die Daten durch das Signal WST vom Command Bus übertragen. Da es sich um einen ECL Bus handelt, wo mehrere Module als Sender angeschlossen sind, kann nur das ECL+ Signal verwendet werden (open Emitter). Das ECL- Signal liegt in diesem Module auf Ground.

+	-	Name
1	2	D1/GND
3	4	D2/GND
5	6	D3/GND
7	8	D4/GND
9	10	D5/GND
11	12	D6/GND
13	14	D7/GND
15	16	D8/GND
17	18	D9/GND
19	20	D10/GND
21	22	D11/GND
23	24	D12/GND
25	26	D13/GND
27	28	D14/GND
29	30	D15/GND
31	32	D16/GND
33	34	not connected

Tabelle 4 FERA Data Bus

5 Technische Einzelheiten

Pin	Signal	Dir	
1	PTWR	O	PassThru Write, Daten zum CAMAC/FERA Controller
2	GND		
3	/SYSRST	O	System Reset
4	/PTATN	O	PassThru Attention, bleibt gesetzt während der gesamten Übertragungsphase
5	GND		
6	/PTADDR	I	PassThru Address, mit diesem Signal wird die Adresse angelegt
7	/SELECT	I	Select Signal für das AddOn Interface
8	GND		
9	/RD	I	Read AddOn Datenregister, d.h. Daten werden vom PCI zum CAMAC übertragen
10	/WR	I	Write AddOn Datenregister, Daten vom CAMAC zum PCI übertragen
11	GND		
12	DIR	I	Direction für Datentreiber, H für PCI=>CAMAC, L für CAMAC=>PCI
13	/PTRDY	I	PassThru Ready, beendet den PassThru Zyklus
14	GND		
15	RDEEMPTY	O	FIFO Empty Signal, Handshake zu <i>RDFIFO</i>
16	WRFULL	O	FIFO Full Signal, Handshake zu <i>WRFIFO</i>
17	GND		
18	/RDFIFO	I	FIFO Read Signal, es wird ein Datenwort aus dem FIFO gelesen (PCI=>CAMAC)
19	/WRFIFO	I	FIFO Write Signal, es wird ein Datenwort in das FIFO geschrieben (CAMAC=>PCI)
20	GND		
21	BPCLK	O	Buffered PCI Clock (66 MHz)
22	GND		
23	EAB	I	Latch Signal für Mailbox Register 3, wir nur für die PCI Interrupt Erzeugung benutzt
24	GND		